

EUROPEAN PATENT OFFICE

Pat nt Abstracts of Japan

PUBLICATION NUMBER : 01007549
PUBLICATION DATE : 11-01-89

APPLICATION DATE : 30-06-87
APPLICATION NUMBER : 62161123

APPLICANT : FUJITSU LTD;

INVENTOR : TOKI MASAHIKO;

INT.CL. : H01L 27/04

TITLE : INTEGRATED CIRCUIT

ABSTRACT : PURPOSE: To reduce the area to be occupied by a load resistor and thereby to enhance device integration by a method wherein the load resistor is made of SiC.

CONSTITUTION: An integrated circuit of this design is provided with a load resistor built of silicon carbide (SiC), with the β -SiC, among others, equipped with a band gap energy E_g of 2.2eV, which is higher than that of the conventional resistor silicon which is 1.12eV. In this design, accordingly, a higher resistance may be attained with ease than in a design using polycrystalline silicon, which results in less change in resistance attributable to a rise in temperature. This design reduces the area to be occupied by a resistance body, enhancing device integration.

COPYRIGHT: (C) JPO

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁 (J P)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭64-7549

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月11日

H 01 L 27/04

P-7514-5F

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 集積回路

⑰ 特 願 昭62-161123

⑱ 出 願 昭62(1987)6月30日

⑲ 発 明 者 古 村 雄 二 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 三 重 野 文 健 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 鈴 木 孝 章 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 発 明 者 土 岐 雅 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
⑳ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
㉑ 代 理 人 弁理士 青 木 朗 外3名

明 細 書

1. 発明の名称

集 積 回 路

2. 特許請求の範囲

1. シリコンカーバイドからなる負荷抵抗体を有することを特徴とする集積回路。

2. 前記シリコンカーバイドに酸素、ほう素及び窒素からなる群から選択された少なくとも1種類の元素を不純物として混入させたことを特徴とする集積回路。

3. 発明の詳細な説明

(概 要)

本発明はシリコンカーバイド (SiC) を集積回路の負荷抵抗に用いる。SiC は禁制帯幅がシリコンより大きいので小さな面積で高抵抗値が実現でき、その値の温度変化も小さい。

(産業上の利用分野)

本発明は集積回路 (IC) に係り、特にシリコンカーバイドを負荷抵抗とした集積回路に関する。

IC、特にSRAM (Static Random Access Memory)

においてはメモリ部分の面積がチップ寸法の50%以上を占めこの面積低減が最も重要である。

(従来の技術及び問題点)

上記SRAM等のICでは $10^4 \sim 10^5$ 以上の高抵抗のポリシリコン膜を負荷抵抗として有する。このポリシリコンは所定の高抵抗値を出すためには約6 μ m以上の長さにもなりICの集積度を悪化させる。またポリシリコンは10 2 ~200 $^{\circ}$ Cの温度範囲で約20%も抵抗値が変化する。また75 $^{\circ}$ Cの温度を超える動作は抵抗値変動のために不安定である。すなわち従来高抵抗としてSRAMのICに用いられていたポリシリコンは上記問題点を有するためある特定の抵抗値の範囲の場合にのみ多々使用されていた。

(問題点を解決するための手段)

上記問題点は本発明によればシリコンカーバイドからなる負荷抵抗体を有することを特徴とする

集積回路によって解決される。

(作 用)

シリコンカーバイド(SiC)、特に本願で用いる β -SiCはバンドギャップ(禁制帯幅)エネルギー E_g は従来抵抗体として用いていたシリコンの1.12 eVより大きく2.2 eVであり、従ってシリコン(ポリシリコン)よりも高抵抗が容易に得られしかも温度上昇による抵抗値の変化も小さくできる。

(実施例)

以下、本発明の実施例を図面に基づいて説明する。

第1図から第4図迄は本発明の実施例を説明するための断面図である。

第1図にはシリコンカーバイド1aが負荷抵抗としてトランジスタのコンタクトホールから分離独立させた例を示す図で負荷抵抗体のシリコンカーバイド1aの厚さは0.2 μm 、幅は1.0 μm 及

び長さは1.0 μm で $10^{10}\Omega$ の抵抗を得た。図中2はシリコン基板、3は熱酸化により得られたフィールド SiO_2 膜、4はCVD(気相成長)法による SiO_2 膜、5はゲート、6はアルミニウム配線である。

シリコンカーバイド1aは SiHCl_3 、 C_2H_6 及びキャリア水素ガス200 Paの圧力を1000℃でCVD法により成長させ SiCl_4 と PCl_5 の反応ガスを用いてRIBによりパターニング形成したものである。

第2図は第1図のコンタクトホールから直接シリコンカーバイド(SiC) 1bを抵抗体として利用した1Cである。すなわちSiCの長さ方向に抵抗を作用させている。第2図において第1図と同一の符号は同一の材質を示す。以下第3図、第4図においても同様とする。

第3図はSiC 1cをコンタクトホールの部分で厚さ方向の抵抗体として利用した図を示す。SiC 1cの厚さは0.3 μm 、コンタクトホールの径は1 μm である。SiC 1c中にはO及びBの不純物をそれぞれ 10^{18}cm^{-3} 、 10^{20}cm^{-3} を混入させた

もので、 $10^{10}\Omega$ の抵抗値が得られる。なお窒素をも不純物としてSiCに混入することができる。これらの不純物の量を制御することによってSiCの抵抗値が制御される。

第4図は、第3図の場合と同様にコンタクトホール部分でSiC 1dを厚さ方向に利用したもので且つA ℓ 配線6の下層としても用いられA ℓ 配線の断線防止も有効である。

(発明の効果)

以上説明したように本発明によればSiCを負荷抵抗体として用いることによって負荷抵抗体の占有面積を減少することができ集積度向上に寄与し得る。またSiCは温度上昇に対する抵抗値の変化も少ないので電気的特性の面でも有効である。

4. 図面の簡単な説明

第1図から第4図迄は本発明の実施例を説明するための断面図である。

- 1…シリコンカーバイド(SiC)、
- 2…シリコン基板、

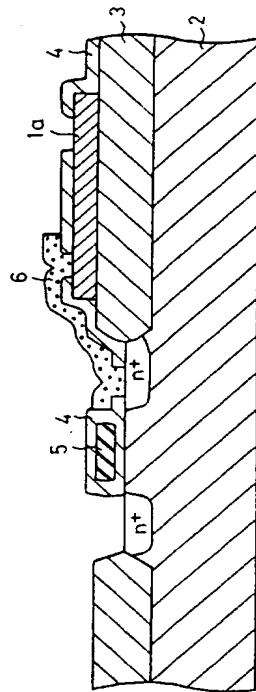
- 3…フィールド SiO_2 膜、
- 4… SiO_2 膜、
- 5…ゲート、
- 6…アルミニウム配線。

特許出願人

富士通株式会社

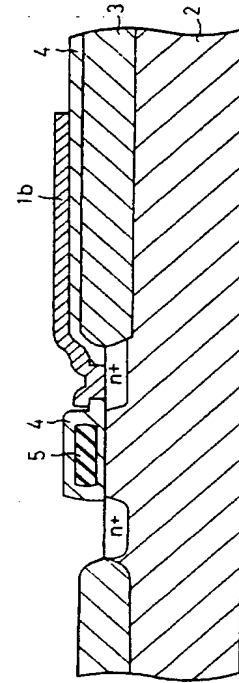
特許出願代理人

弁理士 青木 朗
 弁理士 西 錦 和 之
 弁理士 内 田 幸 男
 弁理士 山 口 昭 之

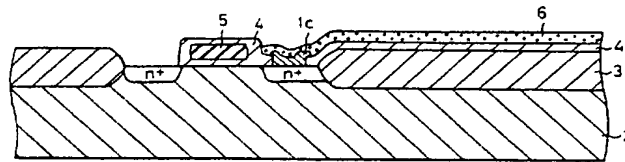


第 1 図

- 1... シリコンカーバイド
- 2... シリコン基板
- 3... フィールド SiO_2 膜
- 4... SiO_2 膜
- 5... ゲート
- 6... Al 配線

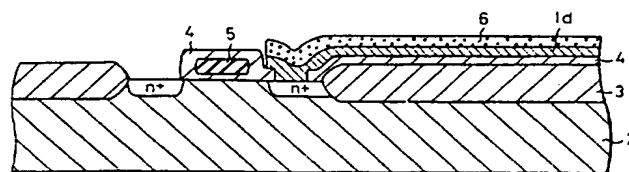


第 2 図



第 3 図

- 1... シリコンカーバイド
- 2... シリコン基板
- 3... フィールド SiO_2 膜
- 4... SiO_2 膜
- 5... ゲート
- 6... Al 配線



第 4 図

THIS PAGE BLANK (USPTO)